

**Operational amplifier for class B amplification**

Patent Number: ☐ US5754078  
Publication date: 1998-05-19  
Inventor(s): TAMAGAWA AKIO (JP)  
Applicant(s): NIPPON ELECTRIC CO (JP)  
Requested Patent: ☐ JP8293740  
Application Number: US19960633969 19960419  
Priority Number(s): JP19950096464 19950421  
IPC Classification: H03F3/30  
EC Classification: H03F3/30B  
Equivalents: JP3033673B2

---

**Abstract**

A first current mirror circuit 6 inversion amplifies the output voltage of an operational amplifier 10 with high potential power supply potential VDD to a voltage with a ground potential as a reference, thus driving a p-MOS transistor QP3 of a push-pull output stage 19. A second current mirror circuit 7 inversion amplifies the output voltage of the operational amplifier 10 with the ground potential as a reference to a voltage with high potential power supply voltage VDD as a reference, thus driving the n-MOS transistor QN3 in the push-pull output stage 19. Thus push-pull output stage through current when the input voltage is suddenly switched is eliminated and crossover distortion is reduced.

---

Data supplied from the esp@cenet database - I2



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-293740

(43) 公開日 平成8年(1996)11月5日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F	3/30		H 0 3 F	3/30
	3/343			3/343
	3/45			3/45
				A
				B

審査請求 有 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平7-96464

(22) 出願日 平成7年(1995)4月21日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 玉川 秋雄

東京都港区芝五丁目7番1号 日本電気株式会社内

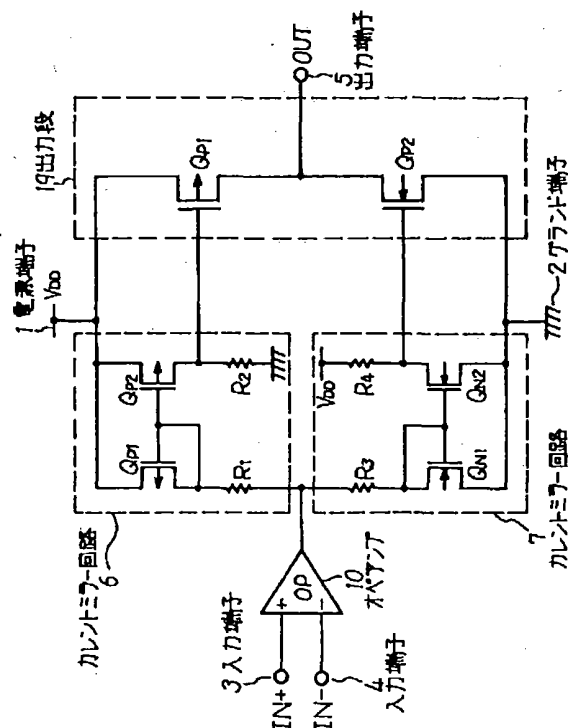
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 電力増幅用の演算増幅回路

(57) 【要約】

【目的】電力増幅用の演算増幅回路で、入力電圧を急激に切り換えたときのプッシュプル出力段の貫通電流を防止する。又、クロスオーバー歪みを低減する。

【構成】入力段の差動オペアンプ10、第1カレントミラー回路6、第2カレントミラー回路7及びプッシュプル出力段19で構成する。第1カレントミラー回路6は、高位電源電位 $V_{DD}$ を基準としたオペアンプ10の出力電圧をグラウンド電位を基準とする電圧に反転増幅し、プッシュプル出力段19のpMOSトランジスタ $Q_{P3}$ を10駆動する。第2カレントミラー回路7は、グラウンド電位を基準としたオペアンプ10の出力電圧を高位電源電位 $V_{DD}$ を基準とする電圧に反転増幅し、プッシュプル出力段19のnMOSトランジスタ $Q_{N3}$ を駆動する。



1

## 【特許請求の範囲】

【請求項1】 差動増幅器により構成される入力段と、その差動増幅器の出力信号に応じて動作するpチャネル型及びnチャネル型のMOS電界効果型トランジスタからなるプッシュプル構成の出力段とを含んで成る演算増幅回路において、前記差動増幅器の出力点から前記pチャネル型MOS電界効果型トランジスタに至る信号伝達経路中に、高位電源電位を基準とした前記差動増幅器の出力電圧をグランド電位を基準とする電圧に反転し、その反転後の信号で10前記プッシュプル出力段のpチャネル型MOS電界効果型トランジスタを駆動する第1の電圧反転手段と、前記差動増幅器の出力点から前記nチャネル型MOS電界効果型トランジスタに至る信号伝達経路中に、グランド電位を基準とした前記差動増幅器の出力電圧を高位電源電位を基準とする電圧に反転し、その反転後の信号で前記プッシュプル出力段のnチャネル型MOS電界効果型トランジスタを駆動する第2の電圧反転手段とを設けたことを特徴とする演算増幅回路。

【請求項2】 請求項1記載の演算増幅回路において、20前記第1の電圧反転手段が、高位電源電位供給端子をソース電極側とする入力側及び出力側のpチャネル型MOS電界効果型トランジスタで構成され、入力側トランジスタを前記差動増幅器の出力信号で駆動され、出力側トランジスタから取り出される信号で前記プッシュプル出力段のpチャネル型MOS電界効果型トランジスタを駆動する構成のカレントミラー回路から成り、前記第2の電圧反転手段が、グランド電位供給端子をソース電極側とする入力側及び出力側のnチャネル型MOS電界効果型トランジスタで構成され、入力側トランジスタを前記差動増幅器の出力信号で駆動され、出力側トランジスタから取り出される信号で前記プッシュプル出力段のnチャネル型MOS電界効果型トランジスタを駆動する構成のカレントミラー回路から成ることを特徴とする差動増幅回路。

【請求項3】 請求項2記載の演算増幅回路において、前記第1の電圧反転手段の出力信号を、pチャネル型MOS電界効果型トランジスタで構成されるソースフォロワバッファを介して、前記プッシュプル出力段のpチャネル型MOS電界効果型トランジスタに伝達し、40前記第2の電圧反転手段の出力信号を、nチャネル型MOS電界効果型トランジスタで構成されるソースフォロワバッファを介して、前記プッシュプル出力段のnチャネル型MOS電界効果型トランジスタに伝達するように構成したことを特徴とする演算増幅回路。

【請求項4】 2つの入力端子に与えられた入力信号を差動増幅する入力段の差動増幅器と、互いにソース電極を高位電源電位供給端子に接続されゲート電極どうしを共通接続された第1、第2のpチャネル型MOS電界効果型トランジスタを含み、第1のpチャ

2

ネル型MOS電界効果型トランジスタのゲート電極とドレイン電極とを接続して第1の抵抗を介して前記差動増幅器の出力点に接続し、第2のpチャネル型MOS電界効果型トランジスタのドレイン電極を第2の抵抗を介してグランド電位供給端子に接続した構成のカレントミラー回路と、

互いにソース電極を高位電源電位供給端子に接続されゲート電極どうしを共通接続された第1、第2のnチャネル型MOS電界効果型トランジスタを含み、第1のnチャネル型MOS電界効果型トランジスタのゲート電極とドレイン電極とを接続して第3の抵抗を介して前記差動増幅器の出力点に接続し、第2のnチャネル型MOS電界効果型トランジスタのドレイン電極を第4の抵抗を介して高位電源電位供給端子に接続した構成のカレントミラー回路と、

ソース電極が高位電源電位供給端子に接続され、ゲート電極が前記第2のpチャネル型MOS電界効果型トランジスタのドレイン電極に接続された第3のpチャネル型MOS電界効果型トランジスタと、ソース電極がグランド電位供給端子に接続され、ゲート電極が前記第2のnチャネル型MOS電界効果型トランジスタのドレイン電極に接続された第3のnチャネル型MOS電界効果型トランジスタとを、互いのドレイン電極どうしを接続して直列に接続しその直列接続点を出力点としたプッシュプル構成の出力段とを含んで成る演算増幅回路。

【請求項5】 請求項4記載の演算増幅回路において、前記第2のpチャネル型MOS電界効果型トランジスタのドレイン電極からの信号を、前記第3のpチャネル型MOS電界効果型トランジスタのゲート電極に直接伝達するのに替えて、pチャネル型MOS電界効果型トランジスタで構成されるソースフォロワバッファを介して伝達し、

前記第2のnチャネル型MOS電界効果型トランジスタのドレイン電極からの信号を、前記第3のnチャネル型MOS電界効果型トランジスタのゲート電極に直接伝達するのに替えて、nチャネル型MOS電界効果型トランジスタで構成されるソースフォロワバッファを介して伝達するように構成したことを特徴とする演算増幅回路。

【請求項6】 請求項4又は請求項5記載の演算増幅回路において、

前記第2のpチャネル型MOS電界効果型トランジスタのドレイン電極を前記第2の抵抗を介してグランド電位供給端子に接続し、前記第2のnチャネル型MOS電界効果型トランジスタのドレイン電極を前記第4の抵抗を介して高位電源電位供給端子に接続するのに替えて、それら2つのMOS電界効果型トランジスタのドレイン電極どうしを、抵抗を介して接続するように構成したことを特徴とする演算増幅回路。

## 【発明の詳細な説明】

【0001】

3

【産業上の利用分野】本発明は、例えばハードディスク装置のボイスコイルモータなどに用いて好適な、B級電力増幅用の演算増幅回路に関し、特に、その動作時の交流的貫通電流の発生防止とクロスオーバー歪み軽減の技術に関するものである。

【0002】

【従来の技術】この種の従来の電力増幅用演算増幅回路（以後、オペアンプ回路と記す）の例が、アイイーイー・ジャーナル・オブ・ソリッドステート・サーキット（IEEE Journal of Solid-State Circuits），第SC-18，第6号，1983年12月，第624～629頁および、アイイーイー・ジャーナル・オブ・ソリッドステート・サーキット（IEEE Journal of Solid-State Circuits），第SC-20，第6号，1985年12月，第1200～1205頁に記載されている。その従来のパワーオペアンプ回路の回路図を図8に示す。図8を参照して、この図に示すパワーオペアンプ回路は、第一オペアンプ10と、第二オペアンプ23と、第三オペアンプ24と、ブッシュアップ出力段19とから構成される。第一オペアンプ10の出力点は、第二、第三のオペアンプ23，24の反転入力点に入力され、第二オペアンプ23の出力点はブッシュアップ出力段のpMOSトランジスタ $Q_{p3}$ を駆動し、第三オペアンプ24の出力点はブッシュアップ出力段のnMOSトランジスタ $Q_{n3}$ を駆動する。ブッシュアップ出力段19の信号は第二、第三のオペアンプ23，24の非反転入力点にフィードバックされる。

【0003】第一オペアンプ23の反転入力端子4の電位（ $IN_-$ ）を固定し、非反転入力端子3の電位（ $IN_+$ ）を反転入力端子4の電位よりも高くすると、ハイレベルが出力される。その信号は、第二オペアンプ23と第三オペアンプ24の反転入力点に入力される。第二オペアンプ23はロウレベルを出力し、ブッシュアップ出力段のpMOSトランジスタ $Q_{p3}$ をオンさせる。第三オペアンプ24はロウレベルを出力し、ブッシュアップ出力段のnMOSトランジスタ $Q_{n3}$ をオフさせる。その結果、このパワーオペアンプ回路の出力端子5の出力OUTはハイレベルとなる。

【0004】第一オペアンプ10の非反転入力端子3の電位（ $IN_+$ ）を反転入力端子4の電位（ $IN_-$ ）よりも低くすると、上記とは逆の動作によりこのパワーオペアンプ回路の出力端子5の出力OUTはロウレベルとなる。

【0005】第一オペアンプ10の反転入力端子4と非反転入力端子3の電位とが等しい場合、第一オペアンプ10は電源電圧（ $=V_{DD}$ ）の半分の電位を出力し、その電位が第二オペアンプ23と第三オペアンプ24の反転入力点に入力される。第二オペアンプ23と第三オペアンプ24の非反転入力点にはこのパワーオペアンプ回路

4

の出力端子5の電位がフィードバックされている。仮に、この電位が電源電圧の半分であったとすると、第二、第三のオペアンプ23，24の反転入力点、非反転入力点には同じ電位が入力される。第二、第三のオペアンプ23，24には入力オフセット電圧 $V_{OS}$ が設定されており、反転入力点と非反転入力点に同電位が入力されると、第二オペアンプ23はハイレベルを出力し、第三オペアンプ24はロウレベルを出力する。そのため、ブッシュアップ出力段のpMOSトランジスタ $Q_{p3}$ とnMOSトランジスタ $Q_{n3}$ はオフし、このパワーオペアンプ回路の出力端子5は電源電圧の半分の電位を出力する。

【0006】上記の通り、このパワーオペアンプ回路ではその出力電圧がハイレベル、中間レベル、ロウレベルのいずれにおいても、pMOSトランジスタ $Q_{p3}$ またはnMOSトランジスタ $Q_{n3}$ のどちらかはオフしているため、電源端子1からグランド端子2に向かって貫通電流が流れることはない。すなわちB級のパワーアンプを構成している。

【0007】

【発明が解決しようとする課題】しかしながら、上述した従来のパワーオペアンプ回路には、入力電圧を急激に切り換えると貫通電流が流れ、また、クロスオーバー歪みが大きいという欠点があった。以下に、図9のタイミングチャートと図8の回路図とを参照して、第1の欠点である貫通電流の発生メカニズムを説明する。入力電圧がロウレベルからハイレベルに変化すると、第一オペアンプ10の遅延時間と第二、第三のオペアンプ23，24の遅延時間だけ経過した後、ブッシュアップ出力段のpMOSトランジスタ $Q_{p3}$ のゲート電圧とnMOSトランジスタ $Q_{n3}$ のゲート電圧が図9（b）のようにハイレベルからロウレベルに変化する。入力信号がpMOSトランジスタ $Q_{p3}$ およびnMOSトランジスタ $Q_{n3}$ のゲートに到達するまでの経路は、いずれの場合もオペアンプ2段を通過するため、ゲート電圧は同時に変化し始める。オペアンプのスルーレイトを $10V/\mu s$ 、電源電圧 $V_{DD}$ を $10V$ とすると、ゲート電圧が変化し終わるまでの時間は $1\mu s$ となる。この間、ブッシュアップ出力段のpMOSトランジスタと $Q_{p3}$ とnMOSトランジスタ $Q_{n3}$ とは共にオン状態となる。従って、電源からグランドに向けて貫通電流が流れてしまう。

【0008】次に、第二の欠点であるクロスオーバー歪みについて、図8の回路図を参照して説明する。従来のパワーオペアンプ回路ではB級動作させるために、第二オペアンプ23と第三オペアンプ24の入力段に入力オフセット電圧 $V_{OS}$ を設定している。これは第一オペアンプ10の出力電圧が電源電圧の半分のときに、第二オペアンプ23の出力をハイレベル、第三オペアンプ24の出力をロウレベルにして、ブッシュアップ出力段を構成するpMOSトランジスタ $Q_{p3}$ およびnMOSトランジスタ $Q_{n3}$ の両方をオフさせるためである。この入力オフセ

5

ット電圧は通常、20 mV以上に設定する必要がある。なぜならば、入力オフセット電圧は製造上のばらつきにより、20 mV程度ばらつくからである。この製造上のばらつきのため、設計上の入力オフセット電圧は大きめに設定しなければならない。このように、入力オフセット電圧を設定することにより、プッシュプル出力段の貫通電流は防止できる。ところが、この入力オフセット電圧の設定は、クロスオーバー歪みが大きくなるという副作用をもたらす。すなわち、パワーオペアンプ回路の出力電圧がロウレベルからハイレベルに変化する場合、プッシュプル出力段のトランジスタはnMOSトランジスタ $Q_{N3}$ からpMOSトランジスタ $Q_{P3}$ に動作が切り替わるが、この切り替わる瞬間に両者がオフするため、出力波形にクロスオーバー歪みが表れるのである。

【0009】

【課題を解決するための手段】本発明の電力増幅用の演算増幅回路は、差動増幅器により構成される入力段と、その差動増幅器の出力信号に応じて動作するpチャネル型及びnチャネル型のMOS電界効果型トランジスタからなるプッシュプル構成の出力段とを含んで成る演算増幅回路において、前記差動増幅器の出力点から前記pチャネル型MOS電界効果型トランジスタに至る信号伝達経路中に、高位電源電位を基準とした前記差動増幅器の出力電圧をグラウンド電位を基準とする電圧に反転し、その反転後の信号で前記プッシュプル出力段のpチャネル型MOS電界効果型トランジスタを駆動する第1の電圧反転手段と、前記差動増幅器の出力点から前記nチャネル型MOS電界効果型トランジスタに至る信号伝達経路中に、グラウンド電位を基準とした前記差動増幅器の出力電圧を高位電源電位を基準とする電圧に反転し、その反転後の信号で前記プッシュプル出力段のnチャネル型MOS電界効果型トランジスタを駆動する第2の電圧反転手段とを設けたことを特徴とする。

【0010】

【実施例】次に、本発明の好適な実施例について、図面を参照して説明する。図1は、本発明の第1の実施例の回路図である。図1を参照して、本実施例のパワーオペアンプ回路は、オペアンプ10と第一カレントミラー回路6と第二カレントミラー回路7とプッシュプル出力段19とから構成される。第一カレントミラー回路6は、pMOSトランジスタ対 $Q_{P1}$ 、 $Q_{P2}$ と、抵抗対 $R_1$ 、 $R_2$ とから構成される。第二カレントミラー回路7は、nMOSトランジスタ対 $Q_{N1}$ 、 $Q_{N2}$ と、抵抗対 $R_3$ 、 $R_4$ とから構成される。プッシュプル出力段19は、pMOSトランジスタ $Q_{P3}$ とnMOSトランジスタ $Q_{N3}$ とから構成される。

【0011】オペアンプ10の出力点は、第一カレントミラー回路6と第二カレントミラー回路7の入力点に接続される。第一カレントミラー回路6の出力点はプッシュプル出力段19を構成するpMOSトランジスタ $Q_{P3}$  50

6

のゲート電極に接続される。第二カレントミラー回路7の出力点はプッシュプル出力段19を構成するnMOSトランジスタ $Q_{N3}$ のゲート電極に接続される。

【0012】オペアンプ10の一例の回路図を、図2に示す。

【0013】以下に、本実施例の動作について説明する。オペアンプ10の反転入力端子4の電位( $IN_-$ )を固定し、非反転入力端子3の電位( $IN_+$ )を反転入力端子4の電位よりも高くすると、ハイレベルが出力される。そのハイレベル信号は第一カレントミラー回路6と第二カレントミラー回路7の入力点に入力される。第一カレントミラー回路6はロウレベルを出力し、プッシュプル出力段のpMOSトランジスタ $Q_{P3}$ をオンさせる。第二カレントミラー回路7はロウレベルを出力し、プッシュプル出力段のnMOSトランジスタ $Q_{N3}$ をオフさせる。その結果、パワーアンプの出力端子5の出力OUTはハイレベルとなる。

【0014】オペアンプ10の非反転入力端子3の電位( $IN_+$ )を反転入力端子4の電位( $IN_-$ )よりも低くすると、上記とは逆の動作によりパワーアンプの出力端子5の出力OUTはロウレベルとなる。

【0015】次に、オペアンプ10の反転入力端子4と非反転入力端子3の電位が等しい場合の動作について、図3の回路図を参照して説明する。説明を簡単にするため電源電圧は $V_{DD}=10V$ 、各トランジスタのしきい値電圧 $V_t$ は1Vとする。オペアンプ10の反転入力端子4と非反転入力端子3の電位が等しいと、オペアンプ10は電源電圧 $V_{DD}(=10V)$ の半分の電位、すなわち5Vを出力する。このとき、第一カレントミラー回路6を構成するpMOSトランジスタ $Q_{P1}$ と抵抗 $R_1$ には、それぞれ1Vと4Vが印加される。pMOSトランジスタ $Q_{P1}$ 、 $Q_{P2}$ がカレントミラーを構成しているため、トランジスタサイズを等しくすると、抵抗 $R_1$ と抵抗 $R_2$ には同じ大きさの電流が流れる。そこで、抵抗 $R_1$ と抵抗 $R_2$ の抵抗値の比を4対9に設定しておくと、抵抗 $R_2$ には9Vが印加される。又、プッシュプル出力段を構成するpMOSトランジスタ $Q_{P3}$ のゲートには1Vが印加され、このトランジスタ $Q_{P3}$ はちょうどオンし始めの状態となる。

【0016】一方、第二カレントミラー回路7を構成するnMOSトランジスタ $Q_{N1}$ と抵抗 $R_3$ には、それぞれ1Vと4Vが印加される。nMOSトランジスタ $Q_{N1}$ 、 $Q_{N2}$ がカレントミラーを構成しているため、トランジスタサイズを等しくすると抵抗 $R_3$ と抵抗 $R_4$ には同じ大きさの電流が流れる。そこで、抵抗 $R_3$ と抵抗 $R_4$ との抵抗値の比を4対9に設定しておくと、抵抗 $R_4$ には9Vが印加される。又、プッシュプル出力段を構成するnMOSトランジスタ $Q_{N3}$ のゲートには1Vが印加され、このトランジスタ $Q_{N3}$ はちょうどオンし始めの状態となる。pMOSトランジスタ $Q_{P3}$ およびnMOSトランジ

7

スタ  $Q_{N3}$  の両方がまだ完全にオンしていないため、貫通電流が流れることはない。このとき、このパワーオペアンプ回路は電源電圧の半分の電位を出力する。

【0017】上記の通り、本実施例のパワーオペアンプ回路は、出力電圧がハイレベル、中間レベル、ロウレベルのいずれにおいても、pMOSトランジスタ  $Q_{P3}$  またはnMOSトランジスタ  $Q_{N3}$  のどちらかはオフしているため、電源端子1からグランド端子2に向かって貫通電流が流れることはない。すなわちB級のパワーアンプを構成している。

【0018】次に、図4のタイミングチャートと図1の回路図とを参照して、入力電圧を急激に切り替えたときの動作について説明する。オペアンプ10の出力電圧は図4(a)に示すとおり、スルーレイトで決まる傾きを持ってロウレベルからハイレベルに変化する。このオペアンプ10の出力電圧は第一カレントミラー回路6と第二カレントミラー回路7に入力される。第一カレントミラー回路6の出力はプッシュプル出力段のpMOSトランジスタ  $Q_{P3}$  のゲートを駆動する。第二カレントミラー回路7の出力はプッシュプル出力段のnMOSトランジスタ  $Q_{N3}$  のゲートを駆動する。

【0019】オペアンプ10の出力電圧が電源電圧  $V_{DD}$  の半分になったとき、図4(b)に示すとおり、プッシュプル出力段のpMOSトランジスタ  $Q_{P3}$  のゲート電圧は  $V_{DD}$  となっており、このpMOSトランジスタ  $Q_{P3}$  はオンし始めの状態となっている。一方、プッシュプル出力段のnMOSトランジスタ  $Q_{N3}$  のゲート電圧はグランドレベルとなっており、このnMOSトランジスタ  $Q_{N3}$  もオンし始めの状態となっている。pMOSトランジスタ  $Q_{P3}$  およびnMOSトランジスタ  $Q_{N3}$  の両方がまだ完

【0020】従来のパワーオペアンプ回路では、入力オフセット電圧を設定してプッシュプル出力段のトランジスタが両方ともオフの状態を作り出して貫通電流を防止していた。これに対し、本実施例のパワーオペアンプ回路では、カレントミラー回路の抵抗値を調整し、プッシュプル出力段のトランジスタが両方ともオンし始めの状態を作り出して、貫通電流を防止している。従って、両方のトランジスタが同時にオフしている期間が無く、ク

ロスオーバー歪みを低減できる。

【0021】次に、本発明の第2の実施例について、説明する。図5は、本発明の第2の実施例のパワーオペアンプ回路の回路図である。図1の実施例では、第一のカレントミラー回路6を構成する抵抗  $R_2$  と第二カレントミラー回路7を構成する抵抗  $R_4$  とを別々に構成していたが、この第2の実施例では抵抗  $R_5$  として共通化している。抵抗  $R_5$  の値を図1における  $R_2$  の値または抵抗  $R_4$  の値と同じにすれば、抵抗の数が減りチップ面積を小さくできるとともに、カレントミラー回路部での消費

8

電流を低減することができる。

【0022】次に、本発明の第3の実施例について、説明する。図6は、本発明の第3の実施例のパワーオペアンプ回路の回路図である。この実施例では、第一カレントミラー回路6とプッシュプル出力段のpMOSトランジスタ  $Q_{P3}$  との間にバッファ21を挿入し、第二カレントミラー回路7とプッシュプル出力段のnMOSトランジスタ  $Q_{N3}$  との間にバッファ22を挿入している。バッファ21とバッファ22の回路図を図7(a), (b)に示す。バッファ21はpMOSトランジスタ構成のソースフォロワバッファであり、バッファ22はnMOSトランジスタ構成のソースフォロワバッファである。これらのバッファを挿入することにより、カレントミラー回路の駆動能力が小さくても大きな出力トランジスタを駆動することが可能となり、チップ面積を小さく抑えることができるとともに、カレントミラー回路での消費電流を小さく抑えることが可能となる。

【0023】

【発明の効果】以上説明したように、本発明による電力増幅用の演算増幅回路は、差動増幅器により構成される入力段と、pMOSトランジスタ及びnMOSトランジスタからなるプッシュプル構成の出力段とを含んで成る演算増幅回路に対して、差動増幅器の出力点からpMOSトランジスタに至る信号伝達経路中に、高位電源電位を基準とした差動増幅器の出力電圧をグランド電位を基準とする電圧に反転し、その反転後の信号でプッシュプル出力段のpMOSトランジスタを駆動する電圧反転手段と、差動増幅器の出力点からnMOSトランジスタに至る信号伝達経路中に、グランド電位を基準とした差動増幅器の出力電圧を高位電源電位を基準とする電圧に反転し、その反転後の信号でプッシュプル出力段のnMOSトランジスタを駆動する電圧反転手段とを設けて、プッシュプル出力段のトランジスタが両方ともオンし始めの状態を作り出している。

【0024】これにより本発明によれば、両方のトランジスタが同時にオフ状態にある期間を無くし、クロスオーバー歪みを低減できる。又、入力電圧を急激に切り換えたときの貫通電流発生を防止できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の回路図である。

【図2】図1に示す回路図中の、オペアンプ10の一例の回路図である。

【図3】図1に示す回路において2つの入力端子3, 4の電圧が等しいときの、回路の電圧分布の状態を示す図である。

【図4】図1に示す回路において入力電圧を急激に切り換えたときの動作を説明するための、タイミングチャート図である。

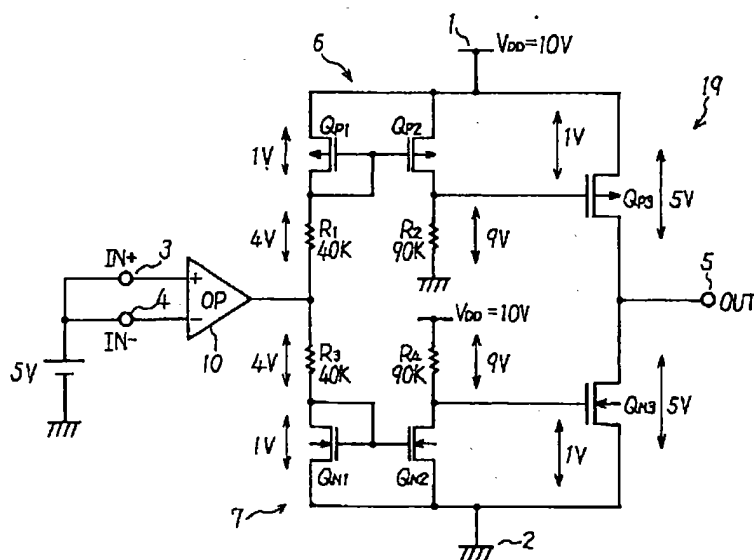
【図5】本発明の第2の実施例の回路図である。

【図6】本発明の第3の実施例の回路図である。

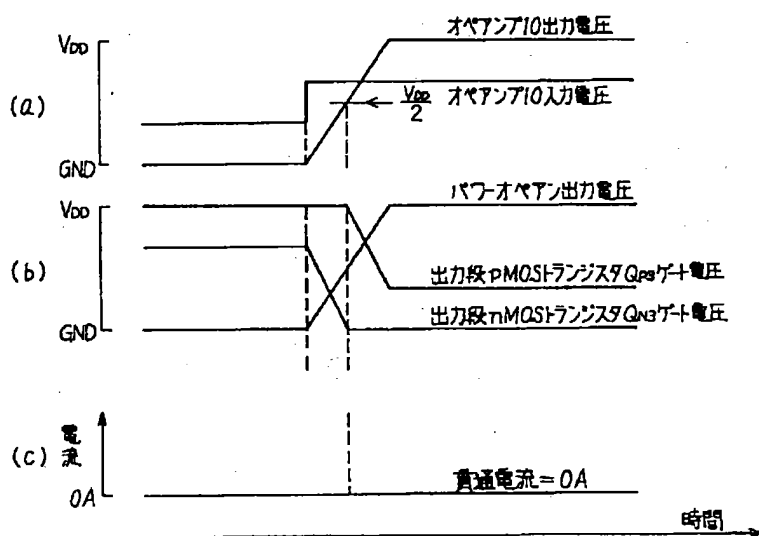




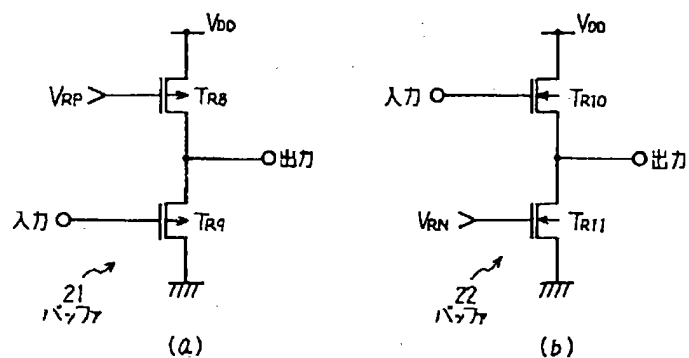
【例 3】



【図 4】

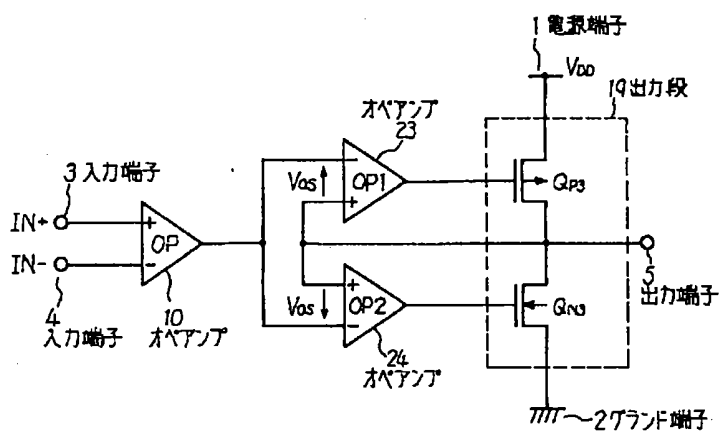


【図 7】





【図8】



【図9】

